

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-007773
 (43)Date of publication of application : 13.01.1992

(51)Int.Cl. G06F 13/28

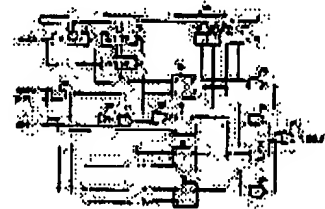
(21)Application number : 02-110984 (71)Applicant : NEC CORP
 (22)Date of filing : 28.04.1990 (72)Inventor : YONEZU KAZUYA

(54) DMA CONTROLLER

(57)Abstract:

PURPOSE: To reduce the load of a CPU and to improve the DMA (direct memory access) transfer efficiency by performing continuously the DMA transfer operations in the frequency set by the CPU.

CONSTITUTION: A CPU 1 sets the proper DMA transfer frequency to a register 12 of a DMA controller 2 via a data bus 5 before the DMA transfer. Thus the prescribed signals are outputted from a counter 13 in each set DMA transfer frequency so that the DMA transfer is interrupted. Therefore the DMA transfer is continuously carried out by the set frequency and the DMA transfer is not frequently interrupted compared with a single mode. Thus the DMA transfer operations can be continuously carried out without affecting the processing of the CPU 1. As a result, the load of the CPU 1 is reduced and at the same time the DMA transfer efficiency is improved.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平4-7773

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月13日

G 06 F 13/28

3 1 0 G

7052-5B

審査請求 未請求 請求項の数 1. (全8頁)

⑮ 発明の名称 DMAコントローラ

⑯ 特 願 平2-110984

⑰ 出 願 平2(1990)4月26日

⑱ 発 明 者 米 津 一 弥 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 藤巻 正憲

明 細 書

1. 発明の名称

DMAコントローラ

2. 特許請求の範囲

(1) データバスを介してCPU及び周辺回路と接続され、前記周辺回路からのDMA要求信号に基づいて前記データバス上でのDMA転送動作を制御するDMAコントローラにおいて、前記CPUからの設定によってDMA転送回数を記憶する記憶手段と、DMA転送の度にカウント動作を行なって前記記憶手段に記憶された前記DMA転送回数のカウント動作を行なうと所定の信号を出力するカウント手段と、このカウント手段の出力によってDMA転送動作を中断させる手段とを有することを特徴とするDMAコントローラ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、コンピュータシステムのデータバス上におけるメモリと周辺回路との間のダイレクト・メモリ・アクセス(DMA)を制御するDMAコ

ントローラに関し、特にDMA転送を繰り返す行なう際に好適のDMAコントローラに関する。

〔従来の技術〕

一般にコンピュータシステムでは、CPU(中央処理装置)がデータバスを使用していない期間にメモリと周辺回路との間でDMA転送を行なうためのDMAコントローラを備えている。このようなコンピュータシステムの構成を第3図に示す。

CPU1、DMAコントローラ2、メモリ3及び周辺I/O(入出力装置)4は、データバス5を介して相互に接続されている。

DMAコントローラ2は、周辺I/O4からDMA要求信号DMARQを受け取ると、CPU1に対しバスホールド要求信号BHRQを出力する。また、CPU1はバスホールド要求信号BHRQに応じてDMAコントローラ2にバスホールド許可信号BHAKを送送するようになっている。

DMAコントローラ2は、シングルモード、ダイヤモンドモード及びブロックモードの3つの転送モードでDMA転送を制御する。シングルモード

特開平4-7773(2)

は、DMA転送を1度行なう毎にデータバスの使用権をCPU1に戻す転送モードであり、ディマンドモードは、DMA要求がある限りは連続してDMA転送を行い、DMA要求がなくなるとデータバスの使用権をCPU1に戻す転送モードである。また、ブロックモードは、DMA要求がなくなってもデータバスの使用権をCPU1には戻さずに前段でDMAコントローラに設定されている転送回数だけDMA転送を行なう転送モードである。

第4図は、このような3つの転送モードを実現する従来のDMAコントローラ2のブロック図である。

即ち、このDMAコントローラ2の内部には、前述したデータバス5に結合された内部データバス10が設けられており、この内部データバス10に、転送モードを設定するためのDMA転送モードレジスタ34が接続されている。このDMA転送モードレジスタ34は、3つの1ビットレジスタ34a、34b、34cからなり、これらの

フリップフロップ18のセットS端子にも入力されている。そして、このR-Sフリップフロップ18のリセットR端子には、データバス解放タイミング信号DBETが入力されている。

これらのR-Sフリップフロップ15、17、18のQ出力は、夫々ANDゲート23、25、28の他方の入力端に入力されている。更に、ANDゲート23、25、28の出力は、ORゲート30に入力され、ORゲート30の出力がバスホールド要求信号BHRQとしてCPU1に出力されるようになっている。

次に、このDMAコントローラ2の各転送モードの転送動作について説明する。

①シングルモード転送

シングルモード転送時には、レジスタ34cのみがハイレベル（以下、Hレベルと略す）に設定される。これにより、ANDゲート28からの出力がバスホールド要求信号BHRQとして選択される。

第5図はシングルモードの転送動作を示すタイ

出力が夫々ANDゲート23、25、28の各一方の入力端に入力されている。

一方、DMA転送開始信号DMSがカウンタ11に入力され、このカウンタ11の出力がR-Sフリップフロップ15のリセットR端子に供給されている。また、DMA要求信号DMARQとバスホールド要求タイミング信号BHRTとがANDゲート19に入力されており、このANDゲート19の出力がR-Sフリップフロップ15のセットS端子に供給されている。

また、データバス解放タイミング信号DBETがANDゲート21の一方の入力端に入力されている。このANDゲート21の他方の入力端には、DMA要求信号DMARQのインバータ20による反転信号が入力されている。そして、このANDゲート21の出力は、R-Sフリップフロップ17のリセットR端子に入力されている。このR-Sフリップフロップ17のセットS端子には、ANDゲート19の出力が供給されている。

ANDゲート19の出力は、更にR-Sフリッ

ピング図である。

DMA要求信号DMARQがHになり、更にバスホールド要求タイミング信号BHRTがHレベルになると、R-Sフリップフロップ18のQ出力がセットされるので、バスホールド要求信号BHRQがHレベルになる。これにより、CPU1はデータバス5の使用権を要求する。CPU1は、自らの処理を終了すると、バスホールド許可信号BHAKをHレベルにしてDMAコントローラ2にデータバス5の使用権を与える。バスホールド許可信号BHAKがHレベルになると、DMAコントローラ2は、周辺I/O4とメモリ3との間のDMA転送を開始させる。

シングルモードでは、1回のDMA転送動作が行なわれると、データバス解放タイミング信号DBETがHレベルになり、R-Sフリップフロップ18がリセットされる。これにより、バスホールド要求信号BHRQがローレベル（以下、Lと略す）となり、CPU1にデータバス5の使用権を戻すようにしている。CPU1は、バスホールド

特開平4-7773(3)

要求信号BHRQがLレベルになると、バスホールド許可信号BHAKをLレベルにして、データバス5をCPU1の管理下に置く。

バスホールド許可信号BHAKがLレベルになると、再びDMAコントローラ2はバスホールド要求タイミング信号BHRTをHレベルにして、上記と同様のシングルモード転送動作を繰り返す。

④ダイヤモンドモード転送

ダイヤモンドモード転送時には、レジスタ34bのみがHレベルに設定される。これにより、ANDゲート25からの出力がバスホールド要求信号BHRQとして選択される。

第6図はダイヤモンドモードの転送動作を示すタイミング図である。

DMA要求信号DMARQがHレベルになり、更にバスホールド要求タイミング信号BHRTがHレベルになると、R-Sフリップフロップ17のQ出力がセットされるので、バスホールド要求信号BHRQがHレベルになる。これにより、CPU1にデータバス5の使用権を要求する。CP

U1は、自らの処理を終了すると、バスホールド許可信号BHAKをHレベルにしてDMAコントローラ2にデータバス5の使用権を与える。バスホールド許可信号BHAKがHレベルになると、DMAコントローラ2は、周辺I/O4とメモリ3との間のDMA転送を開始させる。

ダイヤモンドモードでは、DMA要求信号DMARQがLレベルになるまでDMA転送動作を続行する。即ち、DMA要求信号DMARQがLレベルになった後、データバス解放タイミング信号DBETがHレベルになると、R-Sフリップフロップ17がリセットされて、バスホールド要求信号BHRQがLレベルに立ち下がる。これにより、CPU1にデータバス5の使用権が戻される。

⑤ブロックモード転送

ブロックモード転送時には、レジスタ34bのみがHレベルに設定される。これにより、ANDゲート23からの出力がバスホールド要求信号BHRQとして選択される。

第7図はブロックモードの転送動作を示すタイ

ミング図である。

DMA要求信号DMARQがHになり、更にバスホールド要求タイミング信号BHRTがHレベルになると、R-Sフリップフロップ15のQ出力がセットされるので、バスホールド要求信号BHRQがHレベルになる。これにより、CPU1にデータバス5の使用権を要求する。CPU1は、自らの処理を終了すると、バスホールド許可信号BHAKをHレベルにしてDMAコントローラ2にデータバス5の使用権を与える。バスホールド許可信号BHAKがHレベルになると、DMAコントローラ2は、周辺I/O4とメモリ3との間のDMA転送を開始させる。

ブロックモードでは、予めカウンタ11に設定しておいたDMA転送回数値がDMA転送開始信号DMASによりカウントダウンされて、そのカウント値が0になるまでR-Sフリップフロップ15がリセットされないで、DMA要求信号DMARQがLレベルになっても、カウント動作が終了するまではDMA転送動作を続行する。

このブロックモードでは、カウンタ11の値が0になってDMA転送が終了したのち、次のDMA転送回数値を書き込む等のCPU1による前処理がDMA転送の前に必要になる。

〔発明が解決しようとする課題〕

しかしながら、上述した従来のDMAコントローラでは、次のような問題点があった。

即ち、シングルモードでは、DMA転送を1回行なう毎にバスの使用権が戻ってくるため、DMA転送が連続せず、処理効率が低下して遅くなると共に、バスの使用権の切替えが煩雑になるため、オーバーヘッドが大きくなるという問題点がある。

また、ダイヤモンドモードでは、DMA要求信号がアクティブである限りはDMA転送を続行するため、CPUがバスの使用権を必要とするときにこれを取り戻すことができない。

更に、ブロックモードでは、予め設定した回数のDMA転送が終了し、CPUにバス使用権を戻したのち、再度DMA転送を開始しようとするとき、前以てCPUがDMA転送回数値を再設定しなけ

特開平4-7773(4)

ればならないなど、ブロックモードを起動する前に前処理が必要となり、CPUに負担がかかるという問題がある。

本発明はかかる問題点に鑑みてなされたものであって、CPUの負担を大幅に軽減すると共に、効率的なDMA転送を行なうことができ、しかもデータベースを必要以上に占有してしまうことがないDMAコントローラを提供することを目的とする。

【問題を解決するための手段】

本発明に係るDMAコントローラは、データベースを介してCPU及び周辺回路と接続され、前記周辺回路からのDMA要求信号に基づいて前記データベース上でのDMA転送動作を制御するDMAコントローラにおいて、前記CPUからの設定によってDMA転送回数を記憶する記憶手段と、DMA転送の度にカウント動作を行なって前記記憶手段に記憶された前記DMA転送回数のカウント動作を行なうと所定の信号を出力するカウント手段と、このカウント手段の出力によってDMA転

送動作を中断させる手段とを有することを特徴とする。

【作用】

本発明では、CPUが記憶手段に適切なDMA転送回数を設定しておく、カウント手段から上記転送回数毎に所定の信号が出力され、DMA転送を中断させる。

従って、本発明によれば、DMA転送が設定された回数だけ連続して行なわれるので、シングルモードのようにDMA転送が頻繁に途切れることがない。また、所定の設定回数だけDMA転送が連続するとDMA転送が中断されるので、ダイヤモンドモードのようにDMA転送要求が連続してもデータベースを占有することがない。更に、記憶手段にDMA転送回数が一度設定されると、この設定値が繰り返し使用されるから、ブロックモードのようにDMA転送回数値等を頻繁に設定する必要がない。

このように、本発明によれば、CPUによる処理に支障を来たさずに連続的なDMA転送処理を

行なうことができるので、CPUの負担を軽減することが可能であると共に、効率的なDMA転送を行なうことができる。

【実施例】

以下、添付の図面を参照して本発明の実施例について説明する。

第1図は本発明の実施例に係るDMAコントローラの構成を示すブロック図である。なお、この第1図において第4図と同一部分には同一符号を付し重複する部分の説明は省略する。

このDMAコントローラが第4図に示した従来のDMAコントローラと異なる点は、従来の3つの転送モードに加え、新たにもう1つの転送モードを実現するための手段が設けられている点にある。

即ち、DMA転送モードレジスタ14は、これらの4つの転送モードを設定するために4つの1ビットレジスタ14a、14b、14c、14dから構成されている。そして、新たに、ANDゲート24が追加され、その一方の入力端にレジス

タ14bの出力が与えられている。

また、内部データベース10には、レジスタ12が接続されている。このレジスタ12は、CPU1により設定されるDMA転送回数を格納するので、その出力はカウンタ13に入力されている。カウンタ13は、カウンタ11と同様、DMA転送開始信号DMA8によってカウントダウンし、そのカウント値が0になったときに、カウンタ出力CTR2としてHレベルをレジスタ12及びORゲート22に出力する。ORゲート22は、このカウンタ出力CTR2によってANDゲート21の出力、つまり、ダイヤモンドモード時のDMA転送終了を示す情報をマスクする。

このORゲート22の出力がR-Sフリップフロップ18のリセットR端子に入力されている。R-Sフリップフロップ18のセットS端子には、ANDゲート18の出力が入力されている。そして、このR-Sフリップフロップ18のQ出力がANDゲート24の他方の入力端に入力され、ANDゲート23乃至28の出力がORゲート27

特開平4-7773(5)

を介してバスホールド要求信号BHRQとして出力されている。

次に、このように構成されたDMAコントローラの動作について説明する。

DMA転送モードレジスタの1ビットレジスタ14a, 14c, 14dは、夫々前述したブロックモード、ダイヤモンドモード及びシングルモードを設定するためのレジスタであり、これらの転送モード時の動作は従来と同様である。

レジスタ14bのみがHレベルに設定されると、新たに追加した転送モードでのDMA転送が行なわれる。これにより、ANDゲート24からの出力がバスホールド要求信号BHRQとして選択される。

第2図は、この転送モードでのDMA転送動作を示すタイミング図である。

先ず、DMA転送に先立って、CPU1は、データバス5を介してDMAコントローラのレジスタ12に、送達させるDMA転送の最大回数的情報を転送する。ここでは、この最大回数が“4”

であるとし、レジスタ12に“4”が設定されているとする。設定時にはレジスタ12の値は、カウンタ13に転送される。

続いて、DMA要求信号DMARQがHになり、更にバスホールド要求タイミング信号BHRTがHレベルになると、R-Sフリップフロップ18のQ出力がセットされるので、バスホールド要求信号BHRQがHレベルになる。これにより、CPU1にデータバス5の使用権を要求する。CPU1は、自らの処理を終了すると、バスホールド許可信号BHAKをHレベルにしてDMAコントローラ2にデータバス5の使用権を与える。バスホールド許可信号BHAKがHレベルになると、DMAコントローラ2は、周辺1/04とメモリ3との間のDMA転送を開始させる。

DMA転送は、DMA転送開始信号DMSがHレベルになることにより実行される。DMA転送開始信号DMSはカウンタ13のクロックとして入力されているので、転送動作の度にカウンタ13がカウントダウンする。4回のDMA転送

が実行されると、カウンタ13の出力CTR2がHレベルになるので、ORゲート22の出力がマスクされ、R-Sフリップフロップ18がリセットされる。これにより、DMA要求信号DMARQがHレベルを維持していても、バスホールド要求信号BHRQがLレベルになり、CPU1にデータバス5の使用権が戻される。また、このときカウンタ13の出力CTR2によって、カウンタ13には、レジスタ12の値が転送される。

CPU1は、バスホールド要求信号BHRQがLレベルになると、バスホールド許可信号BHAKをLレベルにして、データバス5をCPU1の管理下に置く。

その後、CPU1の処理が終了して、バスホールド許可信号BHAKがHレベルになると、次のバスホールド要求タイミング信号BHRTの立ち上がりでR-Sフリップフロップ18がセットされる。これにより、バスホールド要求信号BHRQがHレベルになって、データバス5の使用権が再びDMAコントローラに与えられる。

ここで、2回のDMA転送が行なわれた後に、DMA要求信号DMARQがLレベルに立ち下がり、更にデータバス解放タイミング信号DBBTがHレベルになると、ANDゲート21の出力がHレベルになるので、カウンタ13からの出力に拘らず、R-Sフリップフロップ18にリセットがかかり、バスホールド要求信号BHRQがLレベルになる。これにより、CPU1にデータバス5の使用権が戻される。

このように、本実施例で示した新たな転送モードを実行することにより、従来のシングルモードのようにDMA転送が頻りに途切れることがなく、ダイヤモンドモードのようにDMA転送要求が連続しても、設定回数でデータバス5の使用権がCPU1に戻られるのでデータバスを占有することがなく、更にブロックモードのようにDMA転送回数値等を頻りに設定する必要がないという利点がある。

【発明の効果】

以上説明したように、本発明によれば、DMA

特開平4-7773(B)

転送がCPUで設定された回数だけ連続して行なわれるので、シングルモードのようにDMA転送が頻りに途切れることがなく、所定の設定回数だけDMA転送が連続するとDMA転送が中断されるので、ダイヤモンドモードのようにDMA転送要求が連続してもデータベースを占有することがなく、更に、記憶手段にDMA転送回数が一旦設定されると、この設定値が繰り返し使用されるから、ブロックモードのようにDMA転送回数値等を頻りに設定する必要がない。

このため、CPUによる処理に支障を来たず、に連続的なDMA転送処理を行なうことができ、CPUの負担を軽減することが可能であると共に、効率的なDMA転送を行なうことができる。

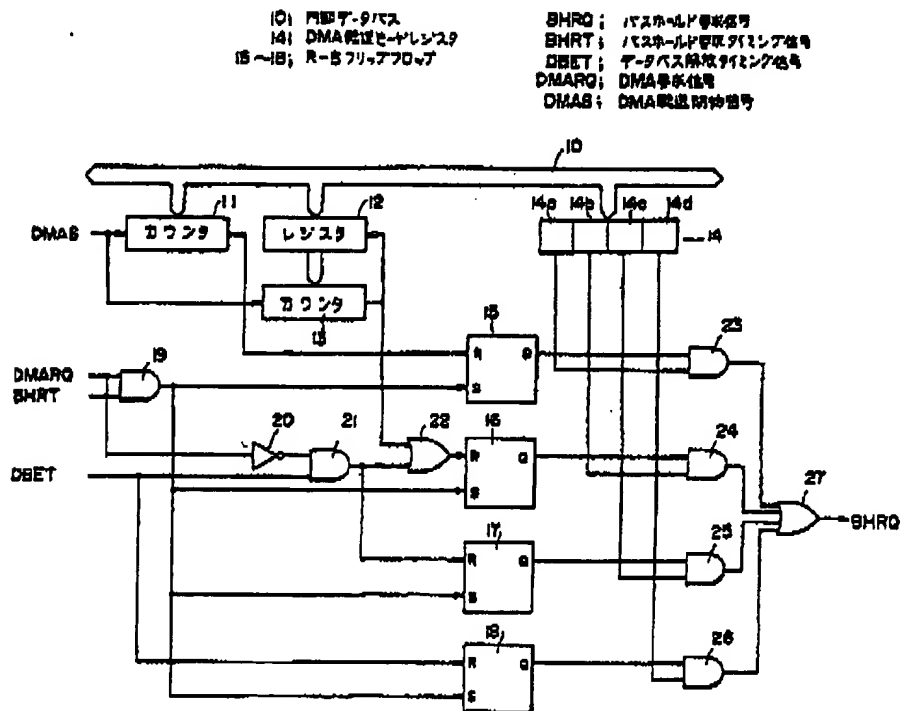
4. 図面の簡単な説明

第1図は本発明の実施例に係るDMAコントローラのブロック図、第2図は同コントローラの動作を示すタイミング図、第3図はDMAコントローラを備えたコンピュータシステムのブロック図、第4図は従来のDMAコントローラのブロック図、

第5図は同コントローラによるシングルモード時の転送動作を示すタイミング図、第6図は同コントローラによるダイヤモンドモード時の転送動作を示すタイミング図、第7図は同コントローラによるブロックモード時の転送動作を示すタイミング図である。

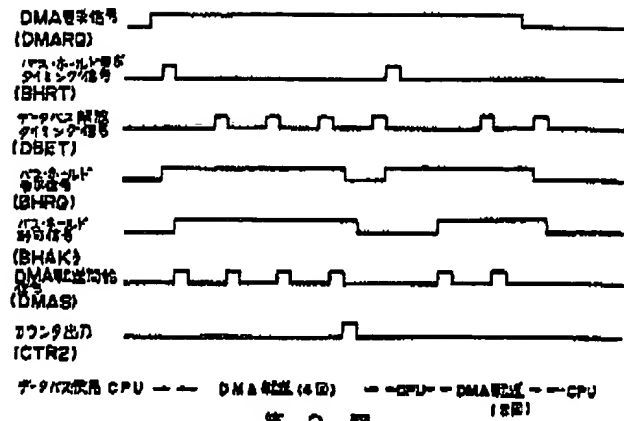
1: CPU、2: DMAコントローラ、3: メモリ、4: 周辺I/O、5: データバス、10: 内部データベース、11、12: カウンタ、13: レジスタ、14: 転送モードレジスタ、15乃至18: R-Sフリップフロップ

出版人 日本電気株式会社
代理人 弁理士 藤地正幸

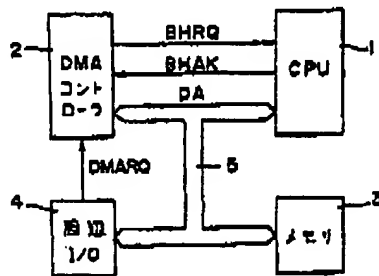


第 1 図

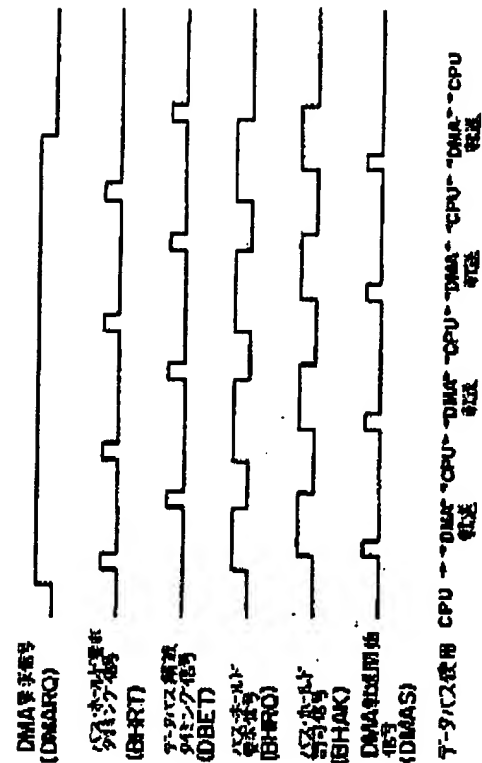
特開平4-7773(7)



第 2 図

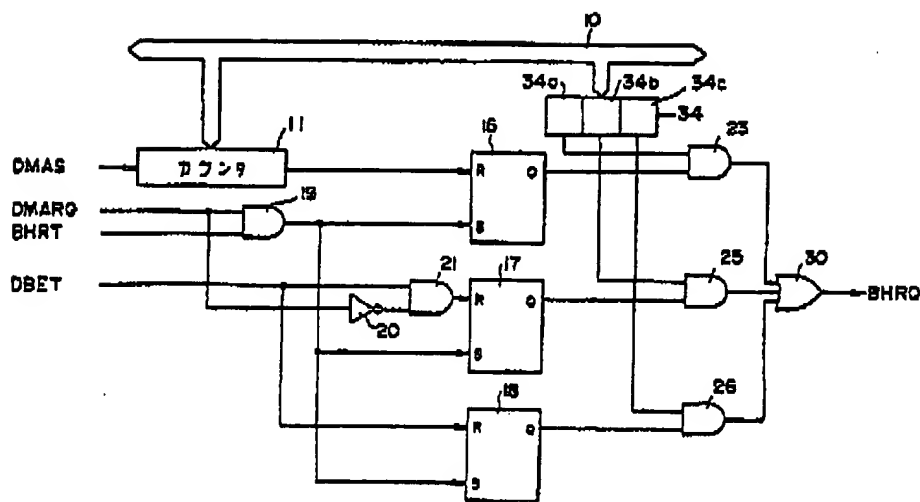


第 3 図



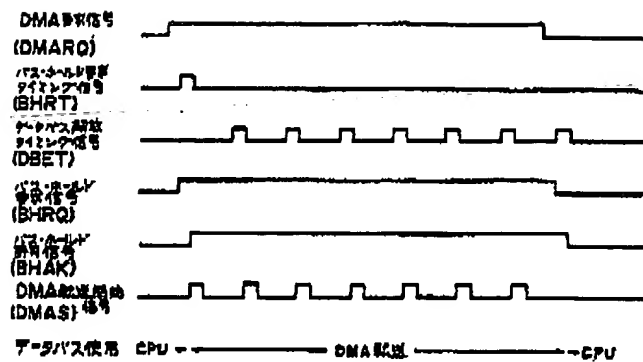
第 5 図

10: 内部データバス
15, 17, 18: R-S フリップフロップ
34: DMA転送モードレジスタ
BHRQ: バスホールド要求信号
BHRT: バスホールド要求タイミング信号
DBET: データバス解放タイミング信号
DMARQ: DMA要求信号
DMAS: DMA終了信号

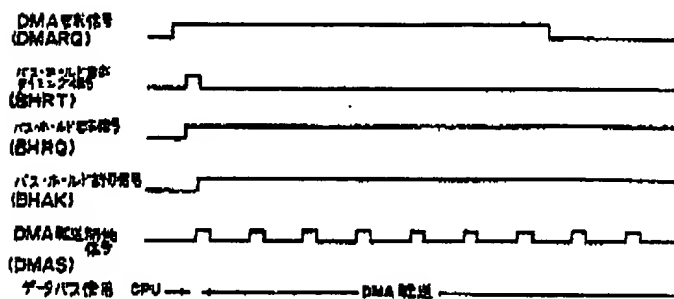


第 4 図

特開平4-7773(8)



第 6 図



第 7 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.